



(3,000円)

特 許 願 27

昭和48年9月12日

特許庁長官殿

発明の名称 半導体装置の製造方法

発 明 者

東京都小平市上水本町1450番地
日立製作所実業工場内
株式会社日立製作所実業工場内
内 務 課 第 一 係

(印 1 6)

特許出願人

東京都千代田区丸の内一丁目5番1号

株式会社日立製作所
代表者 吉 山 博

代 理 人

東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 特許部
電話東京 270-2111 (大代表)
氏 名 (7257) 弁護士 藤 田 利 幸

明 細 書

発明の名称 半導体装置の製造方法

特許請求の範囲

同一半導体基板上に互いに相反方向電圧が異なる少なくとも二つのショットキー障壁を形成する半導体装置の製造方法において、半導体表面の一部に金属を被着せしめ、熱処理して第1のショットキー障壁を形成する第1の工程と、半導体表面の他部に金属を被着して第2のショットキー障壁を形成する第2の工程とを少なくとも有する特徴とする半導体装置の製造方法。

発明の詳細を説明

本発明は半導体装置の製造方法に関し、特にショットキー障壁ダイオード (Schottky Barrier Diode、以下SBDと略称する) を有する半導体装置回路を対象とする。

トランジスタ回路回路として、従来より第3図に示すようにマルチエミッタ・トランジスタ Q_1 のコレクタ側に複数のスイッチング・トランジスタ Q_2, Q_3, Q_4 を組合せたTTL (Transistor Tra-

① 日本国特許庁

公開特許公報

①特開昭 50-55278

④公開日 昭50.(1975) 5.15

②特願昭 48-102051

②出願日 昭48.(1973) 9.12

審査請求 未請求 (全4頁)

庁内整理番号 6851 57

6513 57

7113 57

⑤日本分類

99(5)H0

99(5)E2

99(5)D2

⑤Int.Cl²

H01L 21/72

H01L 29/48

H01L 29/08

nsistor Logic)が周知であり、かかるTTLのスイッチング速度を向上するために第5図(a)(b)に示すように各スイッチング・トランジスタのベース・エミッタ間にSBDを接続したSBD・TTLが公知である。

上記SBD・TTLはスイッチング・トランジスタのベース・コレクタ間にSBDを接続し、スイッチング・トランジスタのコレクタ・ベース間電圧をSBD順方向電圧 V_F でクランプし、必要以上にトランジスタが飽和状態となることを抑止し、もつてベース蓄積電荷によるスイッチング速度低下を防止するように構成したものである。

上記TTLにおいて、マルチエミッタ・トランジスタ Q_1 のエミッタ入力側にはクランプ用ショットキーバリアダイオード D_1, D_2 がそれぞれ接続されており、かかるクランプ用ショットキーバリアダイオードは、エミッタ入力と他の回路回路の出力間を電気的に接続する配線との信号と0の信号反射および不整合による信号波形のリンキングを波形

整形するために設けられたものであり、したがってその順方向電圧 V_f は小さいことが要求される。一方、 n 型エピタキシャルの出力 V_{out} の出力レベル V_{OL} は低いことが要求されるのであるが、

$$V_{OL} = V_{BE4} - V_f$$

(ただし V_{BE4} はトランジスタ Q_4 のベース・エミッタ間電圧)

により、この場合の n 型エピタキシャルの順方向電圧 V_f は大きいことが要求される。このように n 型エピタキシャルにおいて、 n 型エピタキシャルの入力側の V_f は小さく、出力側の V_f は大きくというように n 種類以上の V_f が要求される場合があり、これを一つの半導体基板に形成するためには下記の方法が考えられるが、それぞれ問題がある。

すなわち、 n 型エピタキシャルの順方向電圧 V_f を変える方法として(1)面積を変え、(2)障壁金属を変えることが考えられる。(1)の n 型エピタキシャル面積を変え、第4図の n 型エピタキシャルの各バナー・メーカによる $I_f - V_f$ 特性に示すように、 V_f を変えるには大幅に面積を変えなければならず、そのために

電気的に分離された各 n 型エピタキシャル n 1 領域 $3a$, $3b$ の一部に n 型拡散層を形成し、さらに n 1 層の表面に絶縁膜 (SiO_2) を形成した半導体基板を用いる。

- (b) 1つの n 型エピタキシャル n 1 領域 $3a$ 上の絶縁膜の一部を遮断し、第1の障壁金属 M として M を蒸着し、 530°C または、それ以上の温度 (乾燥 O_2 雰囲気) で10分シンター (加熱) する。
- (c) 他の1つの n 型エピタキシャル n 1 領域 $3b$ 上の絶縁膜の一部を遮断し、第2の障壁金属 M としての M を蒸着し、同じく 530°C またはそれ以上の温度で10分シンターする。なおこの工程において同時に各 n 型エピタキシャル n 1 領域の n 型拡散層上の絶縁膜を遮断し、オーミック電極として M をそれぞれ蒸着する。

このようにして製造された半導体装置において第1の障壁金属 M の形成された領域は順方向電圧 V_f の大きい n 型エピタキシャル n 1 として、第2の障壁金属 M の形成された領域は V_f の小さい n 型エピタキシャル n 1 としてそれぞれ動作する。

熱伝導度の低下を来すことになる。(2)の障壁金属を選択して順方向電圧 V_f を変える方法では、その選択される電圧は離散的であり、連続的に制御することができないばかりか、障壁金属によつて低下した SiO_2 や Si 基板との界面係数の相異による熱的整合の関係等から不都合の場合が多い。

本発明者は $M - n$ 系の n 型エピタキシャルの順方向電圧がシンター (熱処理) 温度および時間により変化するということに着目し上記の問題の解決を図つたものである。したがって本発明の目的は順方向電圧の異なる n 型エピタキシャルを同一半導体基板内に形成する技術を提供することにある。

/ 7 3 1 7

以下実施例によつて本発明を具体的に説明する。

第1図は本発明を n 型 n 1 基板上に M を金属としてショットキー障壁を形成する場合の例を工程 (a) (b) (c) の順に示す工程図である。

(a) n 型 n 1 基板1上に n 型拡散層 n 、 n 型エピタキシャル n 1 層 n および p 型アイソレーション領域 n を形成し、 p 型アイソレーション領域 n によ

以上実施例により述べたことを本発明によれば下記の理由でその目的が達成できる。

第5図のグラフに示すように $M - n$ 系 n 1 の順方向 V_f は、 M のシンター時間またはシンター温度によりほぼ比例的に変化する。このグラフによれば前記 (b) 工程でつくられた n 型エピタキシャル (a) のシンター時間も加えて総合シンター時間は20分となり、 V_f は 0.565V となる。一方工程 (c) でつくられた n 型エピタキシャルはシンター時間が10分であり V_f は 0.545V となる。したがって同一の基板上で V_f のそれぞれ異なる n 型エピタキシャルを形成することができ、

前記実施例で (b) 工程および (c) 工程でそれぞれシンターを行つたが、(a) 工程でのシンターは必ずしも要求されない。

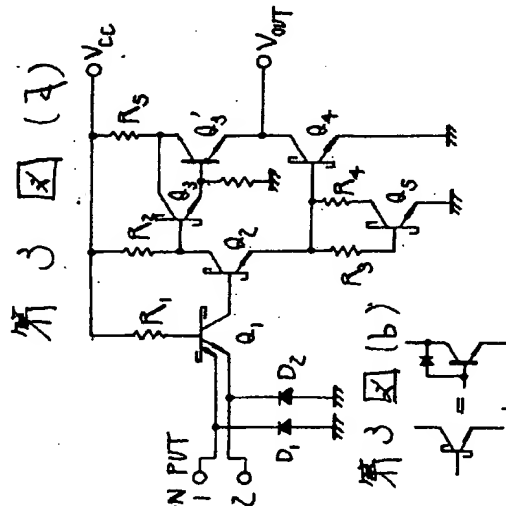
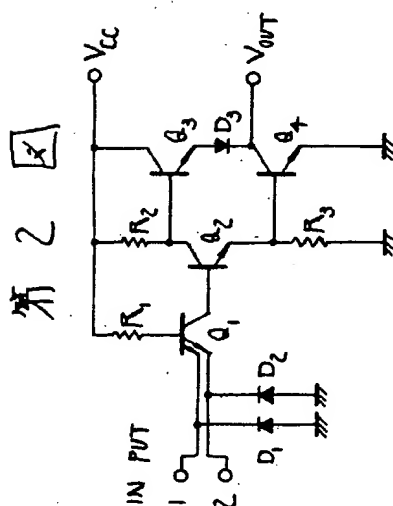
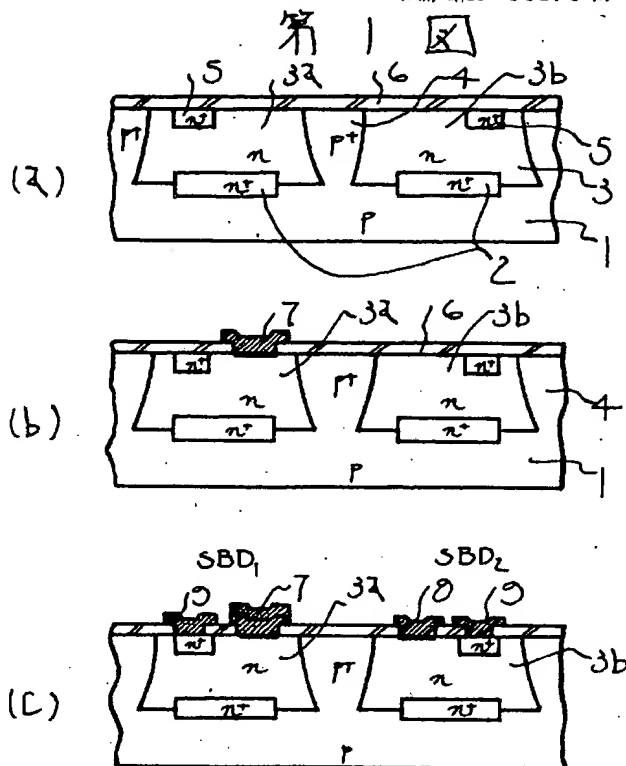
本発明はシンター処理によつて順方向電圧 V_f が低下する場合にも適用でき、またシンター処理によつて V_f が変化する障壁金属形成の全ての場合に適用できる。

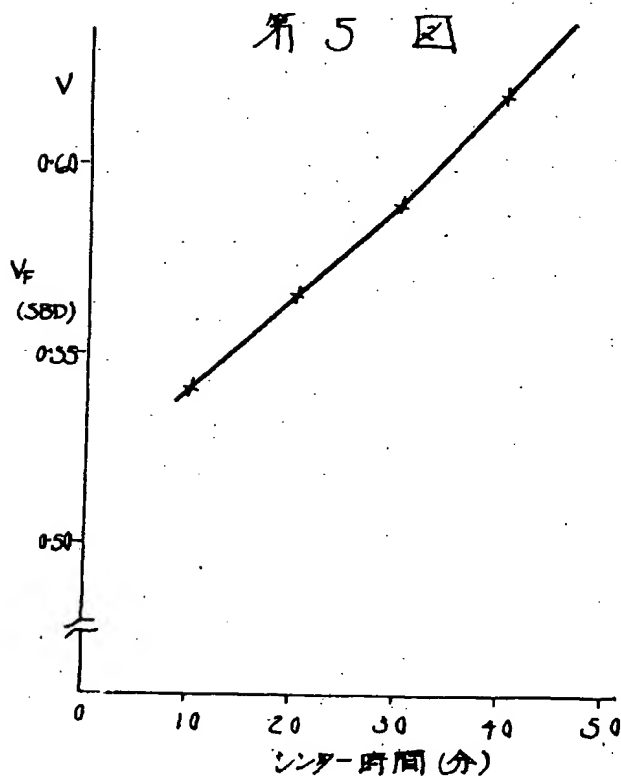
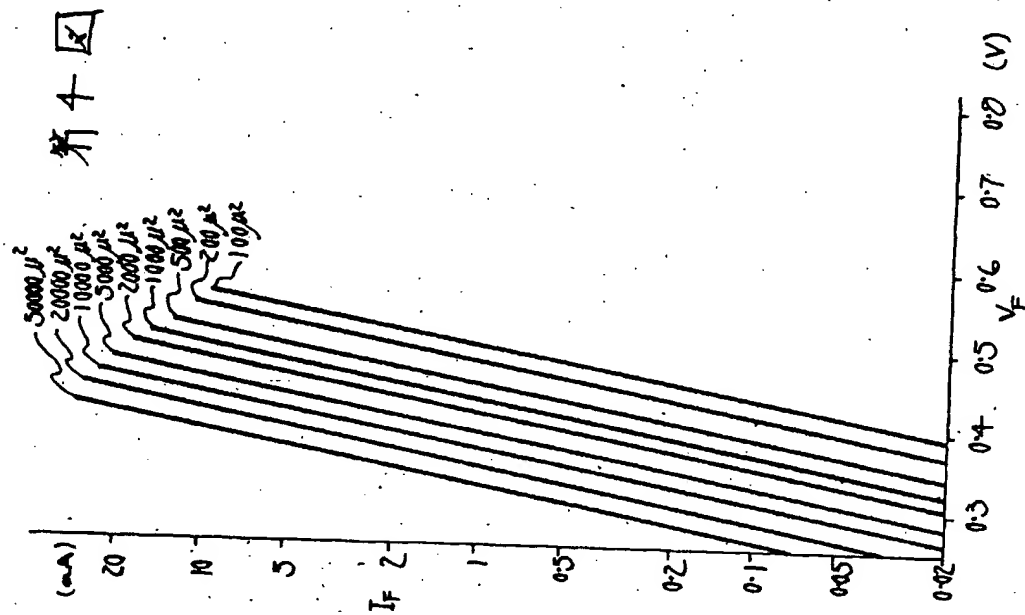
図面の簡単な説明

第1図は本発明による製造法における各工程の半導体装置の形成を示す断面図である。第2図および第3図はTTLおよびSBD-TTLの一般的構成を示す回路図である。第4図は各SBD面をバランサーとする $I_p - V_p$ 曲線図、第5図は V_p -シンター時間曲線図である。

1・・・p型Si基板、2・・・n⁺型Si層、3、3a、3b・・・n型エピタキシャルSi層、4・・・p型アイソレーション領域、5・・・n⁺型拡散領域、6・・・絶縁膜、7・・・第1の障壁金属、8・・・第2の障壁金属、9・・・オーミック電極。

代理人 弁護士 薄田 利 幸





添附書類の目録

- (1) 特 許 書 1通
- (2) 図 面 1通
- (3) 発 明 要 約 1通
- (4) 特 許 願 本 1通

前記以外の発明者、特許出願人または代理人

発 明 者

〒1450 東京都小平市上水本町 1450 香地
ヒロシタケイサケンムサンコウジヤウナイ
株式会社 日立製作所 炭素工場内
〒1450 香地 香地 香地